

**Semiconductor device having buried-type element isolation structure and method of manufacturing the same**

Patent Number: ☐ US6248645  
Publication date: 2001-06-19  
Inventor(s): MATSUOKA FUMITOMO (JP); KASAI KUNIHIRO (JP)  
Applicant(s): TOKYO SHIBAURA ELECTRIC CO (US)  
Requested Patent: JP11340461  
Application Number: US19990320551 19990527  
Priority Number(s): JP19980147739 19980528  
IPC Classification: H01L21/76  
EC Classification: H01L21/762C8  
Equivalents:

---

**Abstract**

---

The present invention is a semiconductor device having an element isolation structure of STI, in which after the formation of the STI trench, a silicon nitride film is left over only on the side wall portion of the trench, to form a side wall. Further, ions are implanted from the bottom surface of the trench on which the side wall is formed, and thus a high-concentration punch-through suppression region having the same conductivity as that of the substrate (or well) and a concentration higher than the impurity concentration of the other section close to the substrate (or well), is formed selectively only in the section of the substrate (or well) which is near the bottom surface of the trench. In this manner, the punch-through suppression region can be formed only in the bottom portion of the STI in a self-alignment manner by the thickness of the side wall. With this structure, even if the STI has a shallow or fine element isolation structures the punch-through between diffusion layers can be suppressed, and the occurrence of a junction leak between the high-concentration diffusion layer region and the well can be prevented. Therefore, a well structure of a low capacitance, which is suitable for a high-speed operation device, can be designed

---

Data supplied from the esp@cenet database - I2

**BEST AVAILABLE COPY**

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-340461

(43)公開日 平成11年(1999)12月10日

(51)Int.Cl.<sup>6</sup>H 0 1 L 29/78  
21/76

識別記号

F 1

H 0 1 L 29/78  
21/763 0 1 R  
L  
S

審査請求 未請求 請求項の数13 O L (全 10 頁)

(21)出願番号 特願平10-147739

(22)出願日 平成10年(1998)5月28日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 松岡 史倫

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

(72)発明者 笠井 邦弘

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

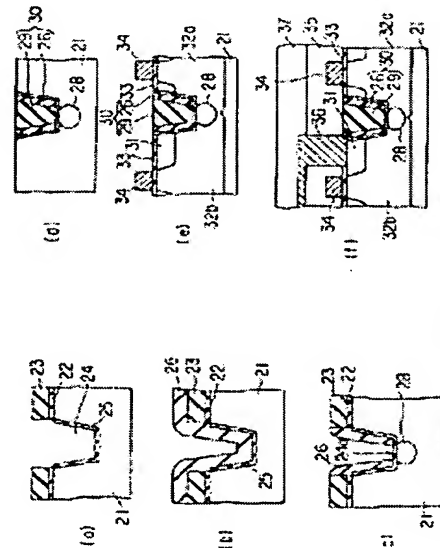
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 S T I を用いた素子分離に於いて、素子間のパンチスルーを抑えつつ、高濃度拡散層領域とウェル間での接合リークが発生を防止して、低容量のウェル設計を行うこと。

【解決手段】 自己整合的に埋め込み素子分離溝24の底部24aの一部にだけパンチスルー抑制のためのパンチスルー抑制領域28を形成する。すなわち、S T I のトレンチ形成後に上記埋め込み素子分離溝24の内側面に、シリコン窒化膜26を選択的に残置して側壁を形成する。そして、この構造に対してイオン注入を行い、該素子分離溝24の底部領域に、その領域の基板、またはウェルと同じ極電型であって、且つその近傍の基板、またはウェルの不純物濃度よりも高濃度なパンチスルー抑制領域28を形成する。



【特許請求の範囲】

【請求項 1】 第 1 導電型の基板若しくはウェル領域と、上記第 1 導電型の基板若しくはウェル領域に形成された埋め込み素子分離溝と、上記第 1 導電型の基板若しくはウェル領域内の上記埋め込み素子分離溝の底面近傍に形成された周辺部よりも不純物濃度が高い底部領域と、上記埋め込み素子分離溝に形成された素子分離構造部と、上記第 1 導電型の基板若しくはウェル領域の表面部で上記素子分離構造部以外の部分に形成された第 2 導電型の拡散層領域と、上記第 1 導電型基板若しくはウェル領域上に堆積された層間膜と、上記層間膜を通して上記拡散層領域に接続されるコンタクト部とを有する埋め込み型の素子分離構造を用いた半導体装置に於いて、上記素子分離構造部は、上記埋め込み素子分離構造の少なくとも上記拡散層領域側に上記層間膜とのエッチング選択比を有する絶縁膜が埋め込まれて形成され、上記底部領域は、上記埋め込み素子分離溝の底面より下部に選択的に形成されると共に、上記拡散層領域側で該埋め込み素子分離溝の底面端部から所定の距離をもって形成され、上記コンタクト部は上記拡散層領域と埋め込み素子分離構造にまたがって形成されていることを特徴とする半導体装置。

【請求項 2】 上記拡散層領域と埋め込み素子分離構造にまたがって形成されるコンタクト部が、少なくとも 1 つ形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 第 1 導電型の基板若しくはウェル領域と、上記第 1 導電型の基板若しくはウェル領域に形成された埋め込み素子分離溝と、上記第 1 導電型の基板若しくはウェル領域内の上記埋め込み素子分離溝の底面近傍に形成された周辺部よりも不純物濃度が高い底部領域と、上記埋め込み素子分離溝に形成された素子分離構造部と、上記第 1 導電型の基板若しくはウェル領域の表面部で上記素子分離構造部以外の部分に形成された第 2 導電型の拡散層領域と、上記第 1 導電型基板若しくはウェル領域上に堆積された層間膜と、上記層間膜を通して上記拡散層領域に接続されるコンタクト部とを有する埋め込み型の素子分離構造を用いた半導体装置の製造方法であって、上記埋め込み素子分離溝の内面に上記層間膜とのエッチング選択比を有する堆積膜を形成した後不純物の導入を行うことによって、上記底部領域を上記埋め込み素子分離溝の底面の端部から上記埋め込み素子分離溝の内面に形成された堆積膜の膜厚分で決定される距離だけ内側に形成し、且つ上記コンタクト部を上記拡散層領域と埋め込み素子分離構造にまたがって形成することを特徴とする半導体装置の製造方法。

【請求項 4】 上記コンタクト部は、少なくとも 1 つ形成されていることを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 5】 上記埋め込み素子分離溝の内面に形成される堆積膜の膜厚は、上記不純物の導入を行った後の熱工程により上記不純物が拡散する距離以上に設定されることを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 6】 上記埋め込み素子分離溝の内面に形成される堆積膜は、側壁露しが行われて、上記埋め込み素子分離溝の内側面に選択的に側壁が設けられることを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 7】 上記埋め込み素子分離溝の内側面に選択的に設けられる側壁は、シリコン窒化膜を上記埋め込み素子分離溝を含む基板上に堆積し、エッチバックすることによって形成されることを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】 第 1 導電型の基板若しくはウェル領域上に酸化膜を形成する第 1 の工程と、この酸化膜上に埋め込み素子分離溝形成用のマスク膜を形成する第 2 の工程と、このマスク膜、上記酸化膜及び上記基板若しくはウェル領域を順次異方性エッチングにより加工して埋め込み素子分離溝を形成する第 3 の工程と、この埋め込み素子分離溝の内面に堆積膜を形成する第 4 の工程と、

上記埋め込み素子分離溝の底部を通して上記第 1 導電型の基板若しくはウェル領域に対して不純物のイオン注入を行うことによって、該埋め込み素子分離溝の底部の一部に選択的に高濃度の底部領域を形成する第 5 の工程と、

上記埋め込み素子分離溝に素子分離構造部を形成する第 6 の工程と、

上記第 1 導電型の基板若しくはウェル領域の表面部で上記素子分離構造部以外の部分に第 1 導電層を形成する第 7 の工程と、

基板全面に上記堆積膜とエッチング選択比を有する絶縁膜を堆積する第 8 の工程と、

上記素子分離構造部に対し自己整合的に第 1 導電層とのコンタクト部を形成する第 9 の工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 9】 上記コンタクト部は、上記第 1 導電層と埋め込み素子分離構造にまたがって形成されることを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 10】 上記コンタクト部は、少なくとも 1 つ形成されていることを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 11】 上記埋め込み素子分離溝は上記基板若しくはウェル領域に対して所定のテーパ角を有して形成されることを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 12】 上記埋め込み素子分離溝の内面に形成される堆積膜の膜厚を、上記不純物のイオン注入を行っ

た後の熱工程により上記不純物が拡散する以上に設定することを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 13】 上記埋め込み素子分離溝の内面に形成される堆積膜は、シリコン窒化膜を上記埋め込み素子分離溝を含む基板の上に堆積し、エッチバックすることで形成されることを特徴とする請求項 8 に記載の半導体装置の製造方法。

#### 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体装置及びその製造方法に関するものであり、特に埋め込み型の素子分離を用いた半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】埋め込み型の素子分離構造を用いた半導体装置では、その素子分離領域を微細化できると同時に、拡散層容量を抑え、高速デバイスに適用したウェル(well)構造を提供できるという長所を有している。

【0003】例えば、拡散層容量を抑えるためには、拡散層底面の基板濃度、またはウェル濃度を十分薄くなるように設定すれば良い。しかし、あまりウェル濃度を薄くしてしまうと、拡散層間のパンチスルーが抑制できなくなる。そのため、埋め込み素子分離の底面に当たる部分の基板濃度、またはウェル濃度を選択的に濃くすることによって、拡散層容量の低減と拡散層間のパンチスルー抑制を両立させてきた。

【0004】ところが、素子の微細化と共に、素子分離溝の深さも浅くなってきている。これによって、上述した方法によっても、拡散層容量低減と素子分離のためのパンチスルー抑制を両立させることが困難になってきている。

【0005】以下、図 7 を参照して、このような従来技術について説明する。図 7 は、従来の埋め込み素子分離形成に於ける製造工程と、その問題点を示した断面図である。

【0006】図 7 (a) に示されるように、従来、埋め込み素子分離は、まず半導体基板 1 上に、例えば、シリコン(Si)酸化膜 2 が、熱酸化等によって 10 nm 程度形成された後、例えばシリコン窒化膜 3 が化学気相成長法等を用いて 200 nm 程度堆積される。そして、この構造に対して、写真蝕刻法により所定形状に該シリコン窒化膜 3 とシリコン酸化膜 2 とシリコン基板 1 とが、順次異方性エッチングによって加工される。これにより、埋め込み素子分離溝 4 が形成される。その後、該埋め込み素子分離溝 4 の内壁に、例えば、15 nm 程度の膜厚で熱酸化が行われて、シリコン酸化膜 5 が形成される。

【0007】次いで、図 7 (b) に示されるように、こ

の構造に対して、埋め込み素子分離溝 4 の形成されている領域の基板、またはウェルが p 型である場合には、例えば、ボロンが 20 keV の加速電圧で  $1 \times 10^{13} \text{ cm}^{-2}$  程度イオン注入される。或いは、該素子分離溝 4 の形成されている領域の基板、またはウェルが n 型である場合には、例えば、リンが 30 keV の加速電圧で  $1 \times 10^{13} \text{ cm}^{-2}$  程度イオン注入される。これらのイオン注入が行われることにより、上記埋め込み素子分離溝 4 の底部領域に、その領域の基板、またはウェルと導電型が同じであって、且つ、その近傍の基板、またはウェルよりも不純物濃度が高温度のパンチスルー抑制領域 6 が形成される。

【0008】その後、図 7 (b) に示される構造に対して、シリコン酸化膜等が埋め込まれた後に、CMP (Chemical Mechanical Polish) やレジストエッチバック等によって平坦化が行われる。次いで、シリコン窒化膜 3 とシリコン酸化膜 2 が剥離されて（これらの工程については図示せず）、図 7 (c) に示されるような素子分離構造 7 が完成する。

【0009】次に、図 7 (c) に示されるように、この素子分離構造 7 の形成されている領域の基板、またはウェルが p 型である場合には、例えば、砒素が 40 keV の加速電圧で  $3 \times 10^{15} \text{ cm}^{-2}$  程度イオン注入されるか、或いは、上記埋め込み素子分離溝 4 の形成されている領域の基板、またはウェルが n 型である場合には、例えば、BF<sub>2</sub> が 30 keV の加速電圧で  $3 \times 10^{15} \text{ cm}^{-2}$  程度イオン注入されることにより、高温度拡散層領域 8 が形成される。

【0010】その後、図 7 (d) に示されるように、高温度拡散層領域 8 と素子分離構造 7 上に、層間絶縁膜 10 が堆積される。そして、高温度拡散層領域 8 に、電気的接触を得るためのコンタクトホール 11 が形成され、更にこのコンタクトホール 11 上に金属配線 12 が形成される。

【0011】

【発明が解決しようとする課題】しかしながら、このようにして形成された素子分離構造については、以下に述べるような課題を有している。図 7 (c) に示された拡散層領域 8 は、本来その底面容量を抑制するために、なるべく低濃度の基板、または、ウェルと接していることが望ましいものである。ところが、上述したような製造工程によれば、高温度拡散層 8 と、パンチスルー抑制のための比較的高温度のパンチスルー抑制領域 6 が素子分離構造 7 の近傍領域 9 で接してしまう。そのために、この素子分離構造の近傍領域 9 では、低容量が実現できなくなってしまい、素子的高速動作を図るうえで望ましくないものとなる。

【0012】更に、この対策として、STI (Shallow Trench Isolation) 底部のみにパンチスルー抑制のイオン注入を行う方法がある。し

かしながら、基板横方向への不純物の拡散があるため、やはりSTI深さが浅くなる将来のデバイスでは拡散層容量低減が困難となる。

【0013】すなわち、半導体装置は微細になるにつれて、パンチスルー抑制領域が高濃度拡散層と接する割合が大きくなっていく。これは、高濃度拡散層8の厚さは薄くなっていくものの、微細化に応じたパンチスルー抑制領域6の不純物濃度を確保するためにパンチスルー抑制領域6の大きさは必ずしも小さくならないからである。したがって、高濃度拡散層8と高濃度のパンチスルー抑制領域6が接しやすく、低容量の拡散層を形成することは、更に困難になってくる。

【0014】また、図7(d)に示されるように、微細化が進むにつれて、高濃度拡散層領域8に電気的接触を得るためのコンタクトホール11と素子分離構造7との距離が縮まってきている。そのため、写真蝕刻法時に合わせずれが生じた場合、コンタクトホール11が素子分離構造7と重なってしまうという事態が発生する。

【0015】このような状態になると、コンタクトホール11形成のためのエッチング時に素子分離構造7の重なり部分7aがエッチングされ、高濃度拡散層領域8とウェル間での接合リークが発生してしまうという問題が生じる。

【0016】この発明は上記実状を考慮してなされたものであり、その目的は、深さが浅く、且つ微細な素子分離構造に於いて、高濃度拡散層の容量を低く抑えと共に、高濃度拡散層領域とウェル間での接合リークの発生を防止して、高性能化が可能な半導体装置及びその製造方法を提供することである。

【0017】  
【課題を解決するための手段】すなわちこの発明は、第1導電型の基板若しくはウェル領域と、上記第1導電型の基板若しくはウェル領域に形成された埋め込み素子分離溝と、上記第1導電型の基板若しくはウェル領域内の上記埋め込み素子分離溝の底面近傍に形成された周辺部よりも不純物濃度が高い底部領域と、上記埋め込み素子分離溝に形成された素子分離構造部と、上記第1導電型の基板若しくはウェル領域の表面部で上記素子分離構造部以外の部分に形成された第2導電型の拡散層領域と、上記第1導電型基板若しくはウェル領域上に堆積された層間膜と、上記層間膜を通して上記拡散層領域に接続されるコンタクト部とを有する埋め込み型の素子分離構造を用いた半導体装置に於いて、上記素子分離構造部は、上記埋め込み素子分離構造の少なくとも上記拡散層領域側に上記層間膜とのエッチング選択比を有する絶縁膜が埋め込まれて形成され、上記底部領域は、上記埋め込み素子分離溝の底面より下部に選択的に形成されると共に、上記拡散層領域側で該埋め込み素子分離溝の底面端部から所定の距離をもって形成され、上記コンタクト部は上記拡散層領域と埋め込み素子分離構造にまたがって

形成されていることを特徴とする。

【0018】またこの発明は、第1導電型の基板若しくはウェル領域と、上記第1導電型の基板若しくはウェル領域に形成された埋め込み素子分離溝と、上記第1導電型の基板若しくはウェル領域内の上記埋め込み素子分離溝の底面近傍に形成された周辺部よりも不純物濃度が高い底部領域と、上記埋め込み素子分離溝に形成された素子分離構造部と、上記第1導電型の基板若しくはウェル領域の表面部で上記素子分離構造部以外の部分に形成された第2導電型の拡散層領域と、上記第1導電型基板若しくはウェル領域上に堆積された層間膜と、上記層間膜を通して上記拡散層領域に接続されるコンタクト部とを有する埋め込み型の素子分離構造を用いた半導体装置の製造方法であって、上記埋め込み素子分離溝の内面に上記層間膜とのエッチング選択比を有する絶縁膜を形成した後に不純物の導入を行うことによって、上記底部領域を上記埋め込み素子分離溝の底面の端部から上記埋め込み素子分離溝の内面に形成された絶縁膜の膜厚分で決定される距離だけ内側に形成し、且つ上記コンタクト部を上記拡散層領域と埋め込み素子分離構造にまたがって形成することを特徴とする。

【0019】更にこの発明は、第1導電型の基板若しくはウェル領域上に酸化膜を形成する第1の工程と、この酸化膜上に埋め込み素子分離溝形成用のマスク膜を形成する第2の工程と、このマスク膜、上記酸化膜及び上記基板若しくはウェル領域を順次異方性エッチングにより加工して埋め込み素子分離溝を形成する第3の工程と、この埋め込み素子分離溝の内面に絶縁膜を形成する第4の工程と、上記埋め込み素子分離溝の底部を通して上記第1導電型の基板若しくはウェル領域に対して不純物のイオン注入を行うことによって、該埋め込み素子分離溝の底部の一部に選択的に高濃度の底部領域を形成する第5の工程と、上記埋め込み素子分離溝に素子分離構造部を形成する第6の工程と、上記第1導電型の基板若しくはウェル領域の表面部で上記素子分離構造部以外の部分に第1導電層を形成する第7の工程と、基板全面に上記絶縁膜とエッチング選択比を有する絶縁膜を堆積する第8の工程と、上記素子分離構造部に対し自己整合的に第1導電層とのコンタクト部を形成する第9の工程とを具備することを特徴とする。

【0020】この発明にあつては、自己整合的にSTI底部の一部にだけ選択的にパンチスルー抑制のためのイオン注入領域を形成する。すなわち、STIのトレンチ形成後にトレンチ内側面に側壁を形成し、その構造に対して不純物のイオン注入を行い、パンチスルー抑制のための領域を形成する。これにより、STI底部に選択的にパンチスルー抑制領域を形成でき、不純物の横方向拡散による拡散層容量の増大が抑えられる。更に、この構造に対して埋め込み材を充填すれば順テーパ形状への埋め込みとなるために、トレンチ自体が垂直形状であつて

もボイドなく埋め込むことが可能となる。

【0021】またこの発明では、STI底部に、その底部へのイオン注入の延び量と同程度だけ埋め込み材を埋め込み、上記底部に不純物のイオン注入を行う。その後、所望の厚さだけ埋め込み材を堆積させる。これにより、底部へのイオン注入は、STI側壁に対し自己整合的にオフセットを設けることが可能となる。そして、このオフセットが、上記底部にイオン注入された不純物の拡散時のバッファとなり、素子領域までの拡散を防止することができる。

【0022】

【発明の実施の形態】以下、図面を参照してこの発明の実施の形態を説明する。図1は、この発明の半導体装置に係る第1の実施の形態のロジック素子を説明するもので、製造工程を示した断面図である。また、図2は図1の半導体装置の平面図である。

【0023】始めに、図1(a)に示されるように、半導体基板21上に、例えば、シリコン酸化膜22が、熱酸化等によって10nm程度形成される。その後、例えばシリコン窒化膜23が、化学気相成長法等を用いて200nm程度堆積される。

【0024】そして、このような構造に対して、写真蝕刻法により所定形状に、上記シリコン窒化膜23とシリコン酸化膜22及び半導体基板21とが、順次異方性エッチングによって加工される。これによって、所定角度でテーパが付けられた埋め込み素子分離溝24となる埋め込み素子分離溝24が形成される。その後、埋め込み素子分離溝24の内壁に、例えば、15nm程度の膜厚で熱酸化が行われて、シリコン酸化膜25が形成される。

【0025】その後、図1(b)に示されるように、図1(a)の構造に対して、化学気相成長法等によって、例えばシリコン窒化膜26が50nm程度、シリコン窒化膜23及びシリコン酸化膜25上に堆積される。このシリコン窒化膜26は、コンタクト開口時に埋め込み素子分離溝24内に埋め込まれたシリコン酸化膜25や層間絶縁膜とのエッチング選択比を有するものである。

【0026】次いで、図1(c)に示されるように、上記シリコン窒化膜26が異方性のエッチングによりエッチバックされる。これによって、上記埋め込み素子分離溝24の内側面部分のみに、側壁残しのシリコン窒化膜26が選択的に残置される。

【0027】そして、この構造に対して、埋め込み素子分離溝24の形成されている領域の基板、またはウェルがp型である場合には、例えば、ボロンが20keVの加速電圧で $1 \times 10^{13} \text{ cm}^{-2}$ 程度イオン注入され、また、該埋め込み素子分離溝24の形成されている領域の基板、またはウェルがn型である場合には、例えば、リンが30keVの加速電圧で $1 \times 10^{13} \text{ cm}^{-2}$ 程度イオン注入される。こうしたイオン注入によって、該埋め込み素子分離溝24の底部領域に、その領域の基板、また

はウェルと同じ導電型であって、且つその近傍の基板、またはウェルの不純物濃度よりも高濃度なパンチスルー抑制領域28が形成される。

【0028】したがって、この図1(c)に示される構造に於いては、素子分離間のパンチスルーを抑制する目的で形成されるパンチスルー抑制領域28は、埋め込み素子分離溝24の底面24a部分に於いて、その底面24aの端部から、該素子分離溝24の内側面に形成された側壁の膜厚分で決定される距離だけ、内側に形成されることになる。そして、この埋め込み素子分離溝24の内面に形成される堆積膜の膜厚は、上記イオン注入が行われた後の熱工程により上記不純物が拡散する距離以上に設定されるものとする。

【0029】その後、図1(c)に示される構造に対して、更にシリコン酸化膜29等が埋め込まれた後に、CMPやレジストエッチバック等によって平坦化が行われる。続いて、図示されないが、シリコン窒化膜23及びシリコン酸化膜22が剥離されて、図1(d)に示されるような素子分離構造30が完成する。

【0030】次いで、図1(e)に示されるように、n型トランジスタが形成される領域にはp型のウェル32aが、同様にp型トランジスタが形成される領域にはn型のウェル32bが、それぞれ形成される。その後、トランジスタが所望の電気的特性となるように、閾値調整用のイオン注入が行われる。

【0031】そして、半導体基板21上にゲート酸化膜33が形成され、更にこのゲート酸化膜33上にゲート電極34が形成される。更に、イオン注入法によって、該素子分離構造30が形成されている領域の基板またはウェルがp型である場合には、例えば、砒素が40keVの加速電圧で $2 \times 10^{15} \text{ cm}^{-2}$ 程度イオン注入される。或いは、埋め込み素子分離溝24が形成されている領域の基板またはウェルがn型である場合には、例えば、BF<sub>2</sub>が30keVの加速電圧で $3 \times 10^{15} \text{ cm}^{-2}$ 程度イオン注入される。

【0032】これらのイオン注入により、MOSFETのソースやドレイン領域となる高濃度拡散層領域(第1導電層)31が形成される。次に、半導体基板21の上全体に、第1の層間膜としてシリコン酸化膜等の絶縁膜35が堆積される。ここで、電気的接続を行う領域に於いて、絶縁膜35が選択的に除去されてコンタクト孔が形成され、このコンタクト孔に導電性の材料を用いて第1の配線36が形成される。

【0033】以降、必要に応じて、第2、第3の層間膜及び配線が形成される。これらの配線形成が完了した後、表面がシリコン窒化膜等の保護膜37で覆われ、半導体装置が完成する。

【0034】このような工程によって形成された素子分離構造によれば、高濃度拡散層領域31とパンチスルー抑制のために形成された比較的高濃度のパンチスルー抑

制領域28とが接することなく形成される。したがって、深さが浅く、且つ微細な素子分離構造に於いても、高濃度拡散層領域31の容量は、基板またはウェルの濃度で決定される容量に設定されることが可能となり、半導体装置の高性能化に有効となる。

【0035】更に、素子分離領域の側面にシリコン窒化膜が存在するので、コンタクト孔が製造ばつきでずれ素子分離領域上まで達した場合でも、素子分離領域がエッチングされて、接合リークを起こすことが防止できる。したがって、コンタクト孔から素子分離領域までの余裕を縮め、更にはコンタクト孔を素子分離領域に対し自己整合的に形成することも可能となり、微細化に対して有効である。

【0036】尚、上述した実施の形態では、図1(b)に示された工程の後に、図1(c)に示されるように、シリコン窒化膜26の異方性エッチングを行っているが、本実施の形態の変形例として、埋め込み素子分離溝24の底部24aを露出させないで、図1(b)の工程から図1(d)の工程に移行しても良い。この場合、第1の配線36の高濃度拡散層領域31へのコンタクト部を素子分離構造30に対し完全に自己整合的に形成することが可能となる。

【0037】次に、この発明の第2の実施の形態について説明する。図3乃至図5は、この発明の半導体装置に係る第2の実施の形態のSRAMを説明するもので、図3は半導体装置の基板部分の平面図、図4は該半導体装置の製造工程を示した断面図、図5は図3の半導体装置のB-B'線に沿った断面図である。

【0038】始めに、図4(a)に示されるように、半導体基板41上に、例えば、シリコン酸化膜42が、熱酸化等によって10nm程度形成される。その後、例えば多結晶シリコン43が、化学気相成長法等を用いて200nm程度堆積される。

【0039】そして、このような構造に対して、写真蝕刻法により所定形状に、上記多結晶シリコン43とシリコン酸化膜42及び半導体基板41とが、順次異方性エッチングによって加工される。これによって、所定角度でテーパが付けられた埋め込み素子分離の溝となる埋め込み素子分離溝44が形成される。その後、埋め込み素子分離溝44の内壁に、例えば、15nm程度の膜厚で熱酸化が行われて、シリコン酸化膜45が形成される。

【0040】その後、図4(b)に示されるように、図4(a)の構造に対して、化学気相成長法等によって、例えばシリコン窒化膜46が50nm程度、多結晶シリコン43及びシリコン酸化膜45上に堆積される。

【0041】次いで、図4(c)に示されるように、上記シリコン窒化膜46が異方性のエッチングによりエッチバックされる。これによって、上記埋め込み素子分離溝44の内側面部分のみに、側壁残しのシリコン窒化膜47が選択的に残置される。

【0042】そして、この構造に対して、埋め込み素子分離溝44の形成されている領域の基板、またはウェルがp型である場合には、例えば、ボロンが20keVの加速電圧で $1 \times 10^{13} \text{ cm}^{-2}$ 程度イオン注入され、また、該素子分離溝44の形成されている領域の基板、またはウェルがn型である場合には、例えば、リンが30keVの加速電圧で $1 \times 10^{13} \text{ cm}^{-2}$ 程度イオン注入される。こうしたイオン注入によって、埋め込み素子分離溝44の底部領域に、その領域の基板、またはウェルと同じ導電型であって、且つその近傍の基板、またはウェルの不純物濃度よりも高濃度なパンチスルー抑制領域48が形成される。

【0043】したがって、この図4(c)に示される構造に於いては、素子分離間のパンチスルーを抑制する目的で形成されるパンチスルー抑制領域48は、埋め込み素子分離溝44の底部44a部分に於いて、その底部44aの端部から、該素子分離溝44の内側面に形成された側壁の膜厚分で決定される距離だけ、内側に形成されることになる。つまり、上記埋め込み素子分離溝44の内面に形成される堆積膜の膜厚は、上記不純物の導入を行った後の熱工程により上記不純物が拡散する距離以上に設定されるものとする。

【0044】その後、図4(c)に示される構造に対して、更にシリコン酸化膜49等が埋め込まれた後にCMPやレジストエッチバック等によって平坦化が行われる。続いて、図示されないが、半導体基板41の表面上の多結晶シリコン43及びシリコン酸化膜42が剥離されて、図4(d)に示されるような素子分離領域50が完成する。

【0045】次いで、図4(d)に示されるように、n型トランジスタが形成される領域にはp型のウェル52が、同様にp型トランジスタが形成される領域にはn型のウェル(図示せず)が、それぞれ形成される。その後、トランジスタが所望の電気的特性となるように、閾値調整用のイオン注入が行われる。

【0046】ここで、図5に示されるように、上記半導体基板41の表面部に、ゲート絶縁膜53、ポリシリコン層(ゲート電極)54、シリコン窒化膜55の積層構造が加工される。その後、イオン注入及び熱工程が行われて、シリコン基板41の表面に、ソース・ドレイン拡散領域(浅い拡散層)41aが形成される。続いて、上記ゲート絶縁膜53、ポリシリコン層(ゲート電極)54、シリコン窒化膜55から成る積層構造の両側に、ゲート側壁56を形成した後、イオン注入によりソース・ドレイン領域(深い拡散層)41bが形成される。

【0047】次に、半導体基板41の上全体に、例えばシリコン酸化膜等の層間絶縁膜57が堆積される。ここで、拡散層領域にコンタクトを取るための領域にて、層間絶縁膜57が選択的に除去されてコンタクト孔58が形成される。そして、このコンタクト孔58に導電性の

金属配線層59が形成されて、図4(e)に示されるような半導体装置が完成する。この図4(e)に示される半導体装置が、図3のA-A'線に沿った断面図に相当する。

【0048】ここで、コンタクト孔58と素子分離領域50の余裕が小さい場合は、図4(e)に示されるように、写真蝕刻法時のずれによりコンタクト孔58が素子分離領域50まで及ぶことがある。しかしながら、この第2の実施の形態では、このような場合でも、素子分離領域50の外周はシリコン窒化膜47で覆われているので、コンタクト孔58の開口時にシリコン窒化膜47に対して選択性の高いエッチング方法を用いれば、素子分離領域50がエッチングされて接合リークが発生することを防ぐことができる。

【0049】この第2の実施の形態の変形例としては、図4(b)の段階で、図4(c)で行っているウエルの不純物よりも高い高濃度領域48の形成を行うことも可能である。この場合には、素子分離溝44が形成されている領域の基板、またはウエルがp型である場合には、例えばボロンを40keVの加速電圧で $1 \times 10^{-3} \text{ cm}^{-2}$ 程度イオン注入する。また、該素子分離溝44の底面に堆積したシリコン窒化膜46の膜厚に対応するだけイオン注入の加速エネルギーを大きくする必要がある。

【0050】次に、この発明の第3の実施の形態について説明する。まず、図6に示されるように、半導体基板61上に、例えば、シリコン酸化膜62が熱酸化等によって10nm程度形成される。その後、例えばシリコン窒化膜63が、化学気相成長法等を用いて200nm程度堆積される。

【0051】そして、このような構造に対して、写真蝕刻法により、所定形状に、上記シリコン窒化膜63とシリコン酸化膜62及び半導体基板61とが、順次異方性エッチングによって加工される。これにより、所定角度でテーパが付けられた埋め込み素子分離の溝となる埋め込み素子分離溝64が形成される。その後、該埋め込み素子分離溝64の内壁に、例えば、15nm程度の膜厚で熱酸化が行われて、シリコン酸化膜65が形成される。

【0052】その後、図6(b)に示されるように、図6(a)の構造に対して、化学気相成長法等によって、例えばシリコン窒化膜66が50nm程度、シリコン窒化膜63及びシリコン酸化膜65上に堆積される。

【0053】そして、この構造に対して、埋め込み素子分離溝64の形成されている領域の基板、またはウエルがp型である場合には、例えば、ボロンが40keVの加速電圧で $1 \times 10^{13} \text{ cm}^{-2}$ 程度イオン注入され、また、該素子分離溝64の形成されている領域の基板、ま

たはウエルがn型である場合には、例えば、リンが60keVの加速電圧で $1 \times 10^{13} \text{ cm}^{-2}$ 程度イオン注入される。これにより、埋め込み素子分離溝64の底部領域に、その領域の基板、またはウエルの導電型と同じであって、且つその近傍の基板、またはウエルの不純物濃度よりも高い高濃度なパンチスルー抑制領域68が形成される。

【0054】したがって、この図6(b)に示される構造に於いては、素子分離間のパンチスルーを抑制する目的で形成されるパンチスルー抑制領域68は、埋め込み素子分離溝64の底面64a部分に於いて、その底面64a端部から、該素子分離溝64の内壁に形成された側壁の膜厚分で決定される距離だけ、内側に形成されることになる。

【0055】その後、図6(b)に示される構造に対して、更にシリコン酸化膜69等が埋め込まれた後に、CMPやレジストエッチバック等によって平坦化が行われる。次いで、図示されないが、半導体基板61上のシリコン窒化膜63、及びその上に形成されているシリコン窒化膜66とシリコン酸化膜62が剥離されて、図6(c)に示されるような素子分離構造70が完成する。

【0056】次いで、図6(c)に示されるように、n型トランジスタが形成される領域にはp型のウエル72が、同様にp型トランジスタが形成される領域にはn型のウエル(図示せず)が、それぞれ形成される。更に、トランジスタが所望の電気的特性となるように、閥値調整用のイオン注入が行われた後、第2の実施の形態と全く同様に、図5に示されるようなMOSトランジスタのゲート及び拡散層領域が形成される。

【0057】次に、半導体基板61上全体に、例えばシリコン酸化膜等の層間絶縁膜73が堆積される。ここで、拡散層領域71にコンタクトを取るため、層間絶縁膜73が選択的に除去されてコンタクト孔74が形成される。そして、このコンタクト孔74に導電性の金属配線層75が形成されて、図6(d)に示されるような半導体装置が完成する。

【0058】ここで、コンタクト孔74と素子分離構造70の余裕が小さい場合、図6(d)に示されるように、写真蝕刻法時のずれによりコンタクト孔74が素子分離構造70上まで及ぶことがある。しかしながら、このような場合でも、第3の実施の形態によれば、素子分離構造70の外周はシリコン窒化膜66で覆われているので、コンタクト孔74の開口時にシリコン窒化膜66に対して選択性の高いエッチング方法を用いれば、素子分離構造70がエッチングされて接合リークが発生することを防止することができる。

【0059】尚、上述した実施の形態に於いては、埋め込み素子分離溝にテーパを付けているが、この角度はコンタクト孔が素子分離構造(領域)にずれて形成された場合に、そのずれの余裕(マージン)を考慮したもの



なっている。また、埋め込み素子分離溝にテーパを付けることによって、該素子分離溝の内壁に形成されるシリコン酸化膜の膜厚を所望の厚さに設定しやすくなる。一方、このテーパ角度の加減は、微細加工に於ける限界で決定され、好ましい角度は、おおよそ60°～85°である。

【0060】更に、上述した実施の形態に於いては、全てのコンタクト部が高濃度拡散層領域と埋め込み素子分離構造にまたがって形成される必要はない。すなわち、少なくとも1つのコンタクト部が、高濃度拡散層領域と埋め込み素子分離構造にまたがって形成されていれば良い。

【0061】このように、上述した実施の形態で述べられた工程によって形成された素子分離構造に於いては、高濃度拡散層とパシスルー抑制のために形成された比較的高濃度の領域とが接することなく形成されるので、深さが浅く、且つ微細な素子分離構造に於いても、装置の高性能化に有効であり、高濃度拡散領域とウェル間での接合リークの発生を防止することができる。

【0062】また、高濃度拡散層をウェルの濃度で決定される所望の容量に設定することが可能となり、半導体装置の高性能化に有効である。更に、素子分離領域の側面にシリコン酸化膜が存在するので、コンタクト孔が製造ばらつきでずれて素子分離領域上まで達した場合でも、素子分離領域がエッチングされて、接合リークを起こすことが防止できる。したがって、コンタクト孔から素子分離までの余裕を縮め、更にはコンタクト孔を素子分離領域に対し自己整合的に形成することも可能となり、微細化に対して有効である。

【0063】

【発明の効果】以上のようにこの発明によれば、埋め込み素子分離構造に於いて、トランジスタのソースやドレイン領域となる高濃度拡散層と、これらの拡散層領域間のパシスルー抑制のために素子分離溝底部に選択的に形成される比較的高濃度の領域とが接することがない。したがって、深さが浅く、且つ微細な素子分離溝に於いても、ソースやドレイン領域となる高濃度拡散層の容量は、基板若しくはウェルの濃度で決まる所望の容量に設定することが可能となり、半導体装置の高性能化に有効である。加えて、高濃度拡散層領域と基板若しくはウェル間での接合リークの発生を防止することができる。

#### 【図面の簡単な説明】

【図1】この発明の半導体装置に係る第1の実施の形態のロジック素子を説明するもので、製造工程を示した断面図である。

【図2】図1の半導体装置の平面図である。

【図3】この発明の半導体装置に係る第2の実施の形態のSRAMを説明するもので、半導体装置の基板部分の平面図である。

【図4】第2の実施の形態による半導体装置の製造工程を示した断面図である。

【図5】図3の半導体装置のB-B'線に沿った断面図である。

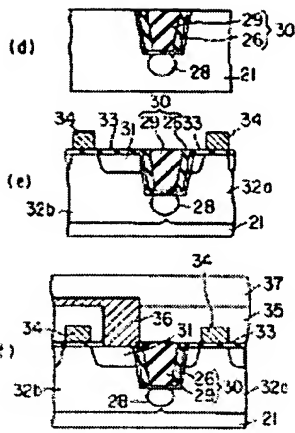
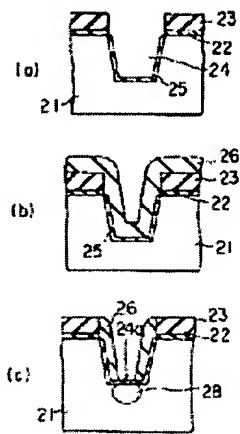
【図6】この発明の半導体装置に係る第3の実施の形態を説明するもので、製造工程を示した断面図である。

【図7】従来の埋め込み素子分離形成に於ける製造工程を示した断面図である。

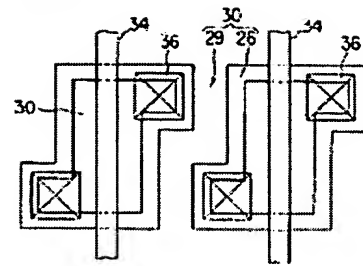
#### 【符号の説明】

- 21、41、61 半導体基板、
- 22、25、29、42、45、49 シリコン(Si)酸化膜、
- 23、26、46、47、55 シリコン(Si)窒化膜、
- 24、44 埋め込み素子分離溝、
- 28、48 パシスルー抑制領域、
- 30 素子分離構造、
- 31、41b 高濃度拡散層領域、
- 32a、52 p型ウェル、
- 32b n型ウェル、
- 33 ゲート酸化膜、
- 34 ゲート電極、
- 35 絶縁膜、
- 36 第1の配線、
- 37 保護膜、
- 43 多結晶シリコン、
- 50 素子分離領域、
- 53 ゲート絶縁膜、
- 54 ポリシリコン層(ゲート電極)、
- 56 ゲート側壁、
- 57 層間絶縁膜、
- 58 コンタクト孔、
- 59 金属配線層、

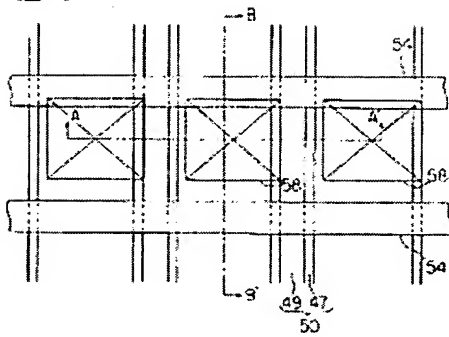
【図 1】



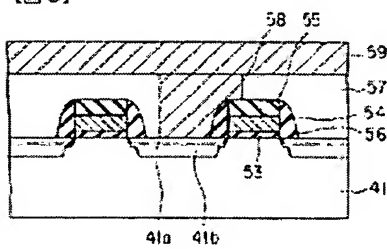
【図 2】



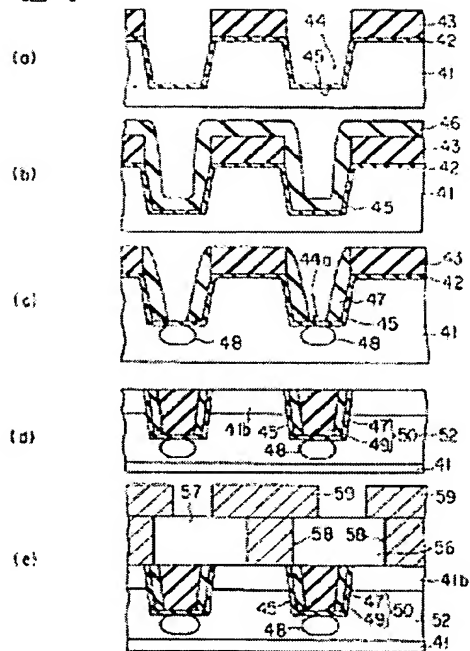
【図 3】



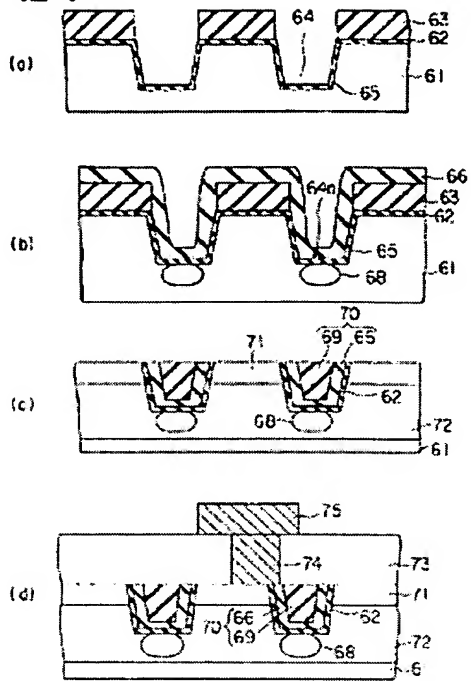
【図 5】



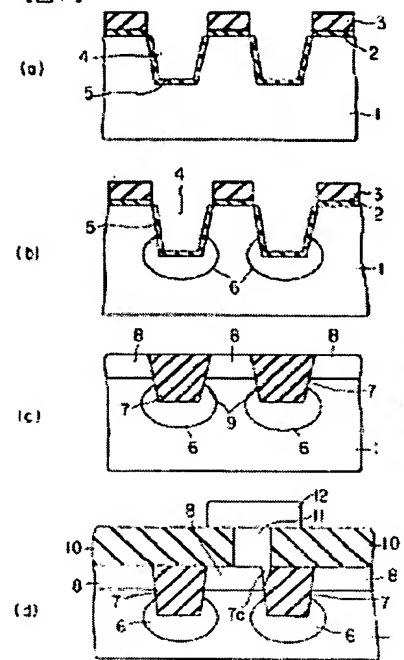
【図 4】



【図6】



【図7】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**